

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-300774

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H02M 3/155

(21)Application number : 2001-100755

(71)Applicant : SEIKO INSTRUMENTS INC

(22)Date of filing : 30.03.2001

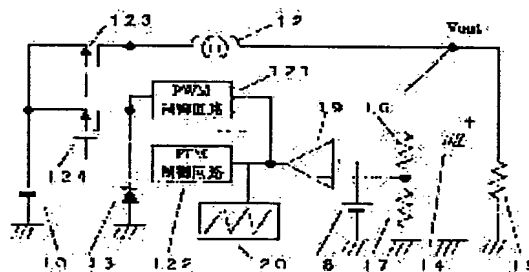
(72)Inventor : MORIMOTO SHIGEYUKI

(54) SWITCHING REGULATOR CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a SW regulator which improves efficiency when the load is heavy and when it is light as well.

SOLUTION: The efficiency when the load is heavy and when it is light is likewise improved by controlling different switches through different routes by the signal of a PWM control circuit and the signal of a PFM control circuit of the SW regulator, and using MOS transistors for switching having different characteristics respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-300774
(P2002-300774A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) IntCl.⁷

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テーマコード(参考)

H 5 H 7 3 0

S

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21) 出願番号 特願2001-100755(P2001-100755)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 森本 茂之

千葉県千葉市美浜区中瀬1丁目8番地 セ
イコーインスツルメンツ株式会社内

(74) 代理人 100096378

弁理士 坂上 正明

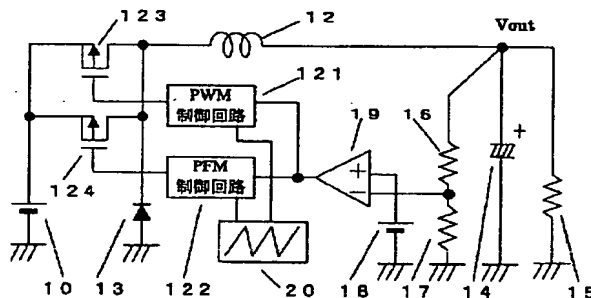
Fターム(参考) 5H730 AA14 AA16 AS01 AS23 BB13
BB57 BB82 DD04 FD01 FG05
FG22

(54) 【発明の名称】 スイッチング・レギュレータ制御回路

(57) 【要約】

【課題】 負荷が重い場合と負荷が軽い場合の効率を同時に向上させた、S Wレギュレータの提供。

【解決手段】 S WレギュレータのPWM制御回路の信号とPFM制御回路の信号が別経路で別々のスイッチを制御し、各々の特性の違うスイッチ用MOSトランジスタを使用することで、負荷が重い場合と負荷が軽い場合の効率を同じに向上させる。



【特許請求の範囲】

【請求項 1】 基準電圧と、出力電圧と分割抵抗によって分圧した電圧との差電圧を増幅するエラー・アンプと、前記エラーアンプ出力と発振回路の出力とを比較しその発振周波数毎に制御信号を出力する PWM 制御回路と、軽負荷時には周波数を変調して一定の制御信号を出力する PFM 制御回路を有するスイッチング・レギュレータ（以下 SWレギュレータ）において、SWレギュレータの PWM 制御回路の信号と PFM 制御回路の信号が別経路で別々のスイッチを制御することを特徴とする SWレギュレータ制御回路。

【請求項 2】 上記 SWレギュレータにおいて、PWM 制御回路が動作する場合は、PFM 制御回路で制御されるスイッチを OFF にし、PFM 制御回路が動作する場合は、PWM 制御回路で制御されるスイッチを OFF にして制御することを特徴とする SWレギュレータ制御回路。

【請求項 3】 上記 SWレギュレータにおいて、PWM 制御回路で制御されるスイッチには、オン抵抗は小さくゲート容量は大きい特性である MOS トランジスタを使用し、PFM 制御回路で制御されるスイッチには、ゲート容量は小さくオン抵抗が大きい特性である MOS トランジスタを使用し、負荷が重い場合と負荷が軽い場合の効率を同時に向上することを特徴とする SWレギュレータ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、負荷が重い場合と負荷が軽い場合の効率を同時に向上することが可能な、SWレギュレータに関する。

【0002】

【従来の技術】従来の SWレギュレータ制御回路としては、図 2 の回路図に示されるような SWレギュレータの制御回路が知られていた。即ち、基準電圧 18 と、SWレギュレータの出力電圧 V_{out} を分圧する分割抵抗 16 と分割抵抗 17 の接続点の電圧との差電圧を、増幅するエラーアンプ 19 がある。エラーアンプ 19 の出力電圧を V_{err} 、基準電圧 18 の出力電圧を V_{ref} 、分割抵抗 16 と分割抵抗 17 の接続点の電圧を V_a とすれば、 $V_{ref} > V_a$ ならば、 V_{err} は高くなり、逆に $V_{ref} < V_a$ ならば、 V_{err} は低くなる。

【0003】PWM/PPFM 切り替え制御回路 21 は、発振回路 20 の出力、例えば三角波と、エラーアンプ 19 の出力を比較して、信号を出す。つまり、エラーアンプの出力 V_{err} が上下することで、PWM/PPFM 切り替え制御回路 21 の出力パルスの幅がコントロールされる。このパルス幅の時間のみ、スイッチ用 MOS トランジスタ 11 を ON または、OFF に制御する。

【0004】一般に、SWレギュレータの場合、SW を ON にする時間が長い方が、負荷に電力を供給する能力が高くなる。例えば、負荷が重くなると、すなわち出力負

荷電流値が大きくなると、SWレギュレータの出力電圧が下がり、分割抵抗 16 と分割抵抗 17 で分圧された電圧 V_a が下がる。これによって、エラーアンプ 13 の出力 V_{err} は上がるので、結果として、PWM/PPFM 切り替え制御回路 21 は PWM コンパレータにより、出力電圧 V_{out} を一定に保つように発振周波数を一定にし、パルス幅が制御される。

【0005】逆に、負荷が軽くなると、すなわち出力負荷電流値が小さくなると、SWレギュレータの出力電圧が上がり、分割抵抗 16 と分割抵抗 17 で分圧された電圧 V_a が上がる。これによって、エラーアンプ 13 の出力 V_{err} は下がるので、結果として、PWM/PPFM 切り替え制御回路 21 は PFM コンパレータにより、出力電圧 V_{out} を一定に保つようにパルス幅を一定にし発振周波数が制御される。

【0006】すなわち、PWM/PPFM 切り替え制御回路 21 は、出力負荷電流値に応じて PWM と PFM を切り替え、スイッチ用 MOS トランジスタ 11 をコントロールする。

【0007】一方、SWレギュレータで効率に関わる重要な特性はスイッチ用 MOS トランジスタ 11 のオン抵抗とゲート容量である。効率は負荷が重い場合は、オン抵抗の損失が支配的になり、負荷が軽い場合はゲート容量によるスイッチング損失が支配的になる。効率を向上させるためには、スイッチ用 MOS トランジスタ 11 のオン抵抗とゲート容量を小さくする必要があるが、両特性はトレードオフの関係にあり、負荷の仕様条件に応じてスイッチ用 MOS トランジスタ 11 の特性は決定される。

【0008】

【発明が解決しようとする課題】しかし、従来の SWレギュレータでは、例えば、負荷が重い場合の効率を重視すると、負荷が軽いときの PFM 制御動作の範囲では SWレギュレータの効率が著しく低下する。

【0009】そこで、この発明の目的は従来のこのような課題を解決するために、SWレギュレータの出力負荷電流値に応じて、具体的には、PWM 制御動作時と PFM 制御動作時に応じて、SWレギュレータのスイッチ用 MOS トランジスタを切り替え、PWM 制御動作時は、オン抵抗の小さいスイッチ用 MOS トランジスタを使用し、PFM 制御動作時は、ゲート容量の小さいスイッチ用 MOS トランジスタを使用するようにした。

【0010】このような回路構成にしたことで、負荷が重い場合と負荷が軽い場合の効率を同時に向上させることが可能となった。

【0011】

【発明の実施の形態】以下に、本発明の実施の形態を図面に基いて説明する。

【0012】

【実施例】図 1 は本発明の実施例を示す SWレギュレー

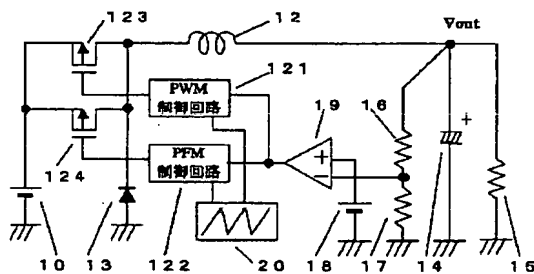
タの制御回路図である。基準電圧18、分割抵抗16、分割抵抗17、エラーアンプ19、及び、発振回路20は従来と同様である。PWM制御スイッチ用MOSトランジスタ123は比較的オン抵抗が小さくゲート容量が大きいトランジスタを使用する。PFM制御スイッチ用MOSトランジスタ124は比較的ゲート容量が小さくオン抵抗が大きいトランジスタを使用する。

【0013】負荷が重い場合はエラー・アンプ19の出力はPWM制御回路121により、出力電圧Voutを一定に保つように発振周波数を一定にし、パルス幅が制御される。この時、PWM制御スイッチ用MOSトランジスタ123はPWM制御回路121のパルス幅によりONまたは、OFFに制御される。この時、PFM制御スイッチ用MOSトランジスタ124はOFFの状態のままである。負荷が重い場合の効率はオン抵抗による損失が支配的になるが、PWM制御スイッチ用MOSトランジスタ123はオン抵抗が小さいため、有利となる。

【0014】逆に、負荷が軽い場合はエラー・アンプ19の出力はPFM制御回路122により、出力電圧Voutを一定に保つようにパルス幅を一定にし、発振周波数が制御される。この時、PFM制御スイッチ用MOSトランジスタ124はPFM制御回路122のパルス幅によりONまたは、OFFに制御される。この時、PWM制御スイッチ用MOSトランジスタ123はOFFの状態のままである。負荷が軽い場合の効率はゲート容量によるスイッチング損失の大きさが支配的になるが、PFM制御スイッチ用MOSトランジスタ124はゲート容量が小さいため、有利となる。

【0015】このような回路構成にしたことで、負荷が重い場合と負荷が軽い場合の効率を同時に向上させることが可能となる。

【図1】



* 【0016】また、本発明の実施例において降圧型SWレギュレータ回路について示したが、昇圧型スイッチングレギュレータ回路、及び反転型スイッチングレギュレータ回路についても、本発明が適用されることは明白である。

【0017】

【発明の効果】本発明のSWレギュレータは、負荷が重い場合と負荷が軽い場合の効率を同時に向上させるという効果がある。

10 【図面の簡単な説明】

【図1】本発明の実施例のSWレギュレータ制御回路の説明図である。

【図2】従来のSWレギュレータ制御回路の説明図である。

【符号の説明】

- 10 電源電圧
- 11 スwitch用MOSトランジスタ
- 12 インダクタ
- 13 ダイオード
- 14 出力容量
- 15 出力負荷
- 16 分割抵抗
- 17 分割抵抗
- 18 基準電圧
- 19 エラーアンプ
- 20 発振回路
- 21 PWM/PPM切り替え制御回路
- 121 PWM制御回路
- 122 PPM制御回路
- 123 PWM制御スイッチ用MOSトランジスタ
- 124 PPM制御スイッチ用MOSトランジスタ

【図2】

